

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年 1月22日  
Date of Application:

出願番号      特願2003-013919  
Application Number:

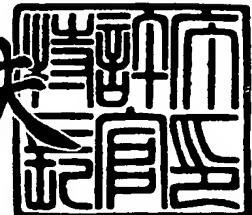
[ST. 10/C] :      [JP2003-013919]

出願人      株式会社東芝  
Applicant(s):

2003年 8月12日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 DTK02-017

【提出日】 平成15年 1月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/02  
H01L 27/02

【発明の名称】 半導体装置

【請求項の数】 4

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝  
横浜事業所内

【氏名】 松尾 美恵

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社東芝

【代理人】

【識別番号】 100077849

【弁理士】

【氏名又は名称】 須山 佐一

【手数料の表示】

【予納台帳番号】 014395

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成された複数の拡散層パターンと、

前記半導体基板上の前記複数の拡散層パターン間に形成された絶縁膜と、

前記複数の拡散層パターンには接することなくその一部が前記絶縁膜に包囲されて前記絶縁膜および前記半導体基板を貫通して形成された貫通プラグとを具備することを特徴とする半導体装置。

【請求項 2】 半導体基板と、

前記半導体基板上に形成された複数の拡散層パターンと、

前記半導体基板上の前記複数の拡散層パターン間に形成された絶縁膜と、

前記絶縁膜には接することなくその一部が前記拡散層パターンに包囲されて前記拡散層パターンおよび前記半導体基板を貫通して形成された貫通プラグとを具備することを特徴とする半導体装置。

【請求項 3】 前記拡散層パターン上および／または前記絶縁膜上に形成され、前記貫通プラグとは接することのないパターン部位であって、アルミニウム (Al)、タンゲステン (W)、チタン (Ti)、銅 (Cu)、タンタル (Ta)、およびこれらの金属の少なくともいずれかを組成とする化合物からなる群から選択された一種を材料とするパターン部位をさらに具備することを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記拡散層パターン上および／または前記絶縁膜上に形成され、アルミニウム (Al)、タンゲステン (W)、チタン (Ti)、銅 (Cu)、タンタル (Ta)、およびこれらの金属の少なくともいずれかを組成とする化合物からなる群から選択された一種を材料とするパターン部位をさらに具備し、前記貫通プラグは、前記拡散層パターン上および／または前記絶縁膜上で前記パターン部位にも包囲されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【発明の詳細な説明】

**【0001】****【発明の属する技術分野】**

本発明は、貫通プラグを有する半導体装置に係り、特に、生産性高く高信頼性の貫通プラグを形成するのに適する半導体装置に関する。

**【0002】****【従来の技術】**

携帯機器やモバイル機器等の電子機器の小型軽量化に伴って、電子機器を構成する電子部品についても、小型化および高集積化が求められている。このような電子部品のひとつとして、半導体集積回路チップ（L S I チップ）を3次元的に積層した積層型半導体デバイス（マルチチップデバイス）が用いられる。

**【0003】**

マルチチップデバイスの中で最も集積度が高く小型化が可能な構造は、デバイスが形成された半導体基板に貫通プラグを形成して、三次元に積層するタイプのマルチチップデバイスである。このタイプのデバイスでは、半導体基板の素子が形成された面と裏面側とを電気的に結ぶ貫通プラグが形成される。貫通プラグの構造は、貫通孔の側壁を覆う絶縁材料と、絶縁材料に囲まれて位置する導電部材としての電気抵抗が低い柱状の金属材料（例えば、A l やC u 等）とからなる。導電部材の低抵抗性によりシステムとしての動作性能を確保する。

**【0004】**

ここで、貫通プラグを形成する工程は、比較的高温での工程が必要なフロントエンドと呼ばれるトランジスタ形成工程が完了した後、すなわちバックエンドである多層配線形成工程中に行う方がプロセス上の利点がある。貫通プラグを形成するための貫通孔を加工する方法としては、異方性エッチングである、プラズマを用いたリアクティブイオンエッチング（R I E）や、アルカリ液のエッチャントを用いたウエットエッチングを用いることができる。

**【0005】**

貫通孔を形成する工程を含む半導体装置の製造方法には、例えば下記特許文献1に記載されたものがある。

**【0006】**

**【特許文献1】**

特開平10-223833号公報

**【0007】****【発明が解決しようとする課題】**

上記文献では、貫通孔と半導体基板上に形成された種々のパターンとの関係については、詳しい開示がなされていない。そのため、貫通孔を形成する基板上に、多種多様の絶縁材料や、下層の金属配線、拡散層などのパターンが形成されている場合に生産性や信頼性を考慮してどのような対処が必要かが明らかではない。

**【0008】**

例えば、半導体基板部分をエッチングして貫通孔を形成する前に、それらの多種材料にそれぞれ個別のエッチングを要すると、スループットの低下、形状制御の困難さを招く。

**【0009】**

本発明は、このような事情を考慮してなされたもので、貫通プラグを有する半導体装置において、生産性高く高信頼性の貫通プラグを形成することが可能な半導体装置を提供することを目的とする。

**【0010】****【課題を解決するための手段】**

上記の課題を解決するため、本発明の一態様に係る半導体装置は、半導体基板と、前記半導体基板上に形成された複数の拡散層パターンと、前記半導体基板上の前記複数の拡散層パターン間に形成された絶縁膜と、前記複数の拡散層パターンには接することなくその一部が前記絶縁膜に包囲されて前記絶縁膜および前記半導体基板を貫通して形成された貫通プラグとを具備することを特徴とする。

**【0011】**

また、本発明の別の態様に係る半導体装置は、半導体基板と、前記半導体基板上に形成された複数の拡散層パターンと、前記半導体基板上の前記複数の拡散層パターン間に形成された絶縁膜と、前記絶縁膜には接することなくその一部が前記拡散層パターンに包囲されて前記拡散層パターンおよび前記半導体基板を貫通

して形成された貫通プラグとを具備することを特徴とする。

#### 【0012】

##### 【発明の実施の形態】

本発明者は、種々のパターンを有する半導体基板をエッチングして、貫通プラグ（半導体基板の厚み方向に貫通形成された導電部材を含む部位）を形成するための貫通孔を加工したところ、半導体基板上の例えばパターンやドーパントの濃度によって、エッチング速度やエッチング形状が変化し、所望の貫通孔形状を実現できない場合があるという知見を得た。

#### 【0013】

図8 (a) は、バックエンドのプロセス中の半導体デバイスに貫通プラグを形成する直前の状態を示す上面図である。この状態では、半導体基板上に、複数のダミー拡散層62を分断するようにSTI (shallow trench isolation) 絶縁膜61が形成され、さらにその上層には配線パターン64やパッド63が導電材料により形成されている。ダミー拡散層62は、図示する領域の近辺では単なるダミーであるが、別の領域では半導体集積デバイスのエレメントであるトランジスタなどの一部になる。なお、STI絶縁膜61およびダミー拡散層62と、配線パターン64およびパッド63との間には層間絶縁膜が介在しているが図示省略している。またダミー拡散層62上には、図示しない金属シリサイドが形成されている。

#### 【0014】

図8 (a)において、貫通プラグを形成するための穴を、例えばSTI絶縁膜61とダミー拡散層62とが存在する場所200aにRIEにより形成すると、形成後の状態は図8 (b) に示すようになる。

#### 【0015】

図9 (a) は、図8 (b) 中に示す形成穴のX-Xa断面の例を矢視方向で示す図である。図9 (a) に示す場合は、穴を形成するためのエッチングを強い異方性を保つ条件で行なったときのものである。このようなエッチング中には側壁に保護膜が形成されるようにエッチングが進行しサイドエッチングは生じにくい。

### 【0016】

しかしながら、このような場合にはエッチング速度が穴内で一定とはならず、図9（a）に示すように形成された穴の底面に残渣が発生する形状となる。これは、例えば、穴位置内のSTI絶縁膜61とダミー拡散層62との境界に由来する段差や、ダミー拡散層62のドーパントやコンタクト形成時に必要な金属シリサイドの残留が要因である。

### 【0017】

このような穴の形状では、そのあと側壁を絶縁材料で覆いさらにその中を導電部材で埋め込み半導体基板を裏面側から切削して貫通プラグを形成しても、貫通プラグとしての形状性が劣り半導体デバイスを積層するための上下の電気的接合に信頼性上の難が生じる。一方、これを避けるため、エッチング中の側壁に保護膜が形成されることの少ない条件でエッチングすると、図9（b）に示すように、エッチング速度のより速いダミー拡散層領域にサイドエッチング62aが入つてしまい形状の制御性を保てない。

### 【0018】

これに対し本発明の実施態様では、貫通プラグは、半導体基板上に形成された拡散層パターンおよび絶縁膜のうち絶縁膜には囲まれているが拡散層パターンには接していない。これにより、貫通プラグを形成するためのエッチング穴の形成において、拡散層パターンへのサイドエッチングの発生を考慮することなくエッチング条件を決定できる。よって、エッチング速度を穴内により一定にすることが可能になり、形状制御性の高い加工ができる。また、エッチング穴を形成する位置にもともと拡散層パターンを配することのないようにして、エッチング速度を穴内により一定にし、形状制御性の高い加工を行なうこともできる。したがって、生産性高く高信頼性の貫通プラグが形成された半導体装置を提供できる。

### 【0019】

または、本発明の実施態様では、貫通プラグは、半導体基板上に形成された拡散層パターンおよび絶縁膜のうち拡散層パターンには囲まれているが絶縁膜には接していない。これは、貫通プラグを形成するためのエッチング穴の形成において、多種ではなく一定の膜が形成された場所がエッチングされ得ることを意味す

る。よって、エッチング速度を穴内により一定にすることが可能であり、形状制御性の高い加工ができる。したがって、生産性高く高信頼性の貫通プラグが形成された半導体装置を提供できる。

#### 【0020】

本発明の実施態様としての半導体装置は、前記拡散層パターン上および／または前記絶縁膜上に形成され、前記貫通プラグとは接することのないパターン部位であって、アルミニウム（Al）、タングステン（W）、チタン（Ti）、銅（Cu）、タンタル（Ta）、およびこれらの金属の少なくともいずれかを組成とする化合物からなる群から選択された一種を材料とするパターン部位をさらに具備してもよい。

#### 【0021】

これらのパターン部位を有する半導体装置において、そのパターン部位の形成される位置を避けて貫通プラグが形成されているということである。これらのパターン部位はよりエッチングされにくく貫通プラグ用の穴形成のためにエッチングすると生産性の点で不利だからである。

#### 【0022】

また、別の実施態様として、前記拡散層パターン上および／または前記絶縁膜上に形成され、アルミニウム（Al）、タングステン（W）、チタン（Ti）、銅（Cu）、タンタル（Ta）、およびこれらの金属の少なくともいずれかを組成とする化合物からなる群から選択された一種を材料とするパターン部位をさらに具備し、前記貫通プラグは、前記拡散層パターン上および／または前記絶縁膜上で前記パターン部位に包囲されてもよい。

#### 【0023】

この場合には、これらのパターン部位を有する半導体装置において、そのパターン部位の形成された一定の状態の場所が、貫通プラグを形成するためのエッチング穴の形成時にエッチングされ得る。よって、エッチング速度を穴内により一定にすることが可能であり、形状制御性の高い加工ができる。

#### 【0024】

また、本発明の実施態様の半導体装置を製造するには、半導体基板上にSTI

を形成してS T Iが形成されていない部位に拡散層パターンとなる領域を画定し、前記S T Iの領域内に内包される外形線を有する貫通プラグ形成用穴を前記半導体基板に加工し、前記貫通プラグ形成用穴に貫通プラグを形成すればよい。

#### 【0025】

または、半導体基板上にS T Iを形成してS T Iが形成されていない部位に拡散層パターンとなる領域を画定し、前記拡散層パターンの領域内に内包される外形線を有する貫通プラグ形成用穴を前記半導体基板に加工し、前記貫通プラグ形成用穴に貫通プラグを形成すればよい。

#### 【0026】

いずれの方法も貫通プラグ形成用穴の外形線は、S T I絶縁膜（または拡散層パターン）のようなひとつの状態の領域に内包されている。これにより、エッチング前の外形線内の状態を一定にすることや、一定でなくてもほぼ一定速度でエッチングできるようにエッチング条件を設定することが可能になる。よって、エッチング速度を穴内でより一定にすることが可能になり、形状制御性の高い加工ができる。

#### 【0027】

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図1は、本発明の一実施形態に係る半導体装置の構造を模式的に示す図である。図1（a）は上面図、図1（b）は図1（a）のA-Aa断面を矢視方向で示す図である。なお、図1（a）においては、ストップ膜16および層間絶縁膜19aから19gの図示を省略している。

#### 【0028】

通常、集積された半導体デバイス、例えばMOS型FETトランジスタの集積デバイスにおいては、半導体（Si）基板上に、フィールド酸化膜としてS T Iと、拡散層領域を含むアクティブエリアとがあり、アクティブエリアにはトランジスタのゲート構造が形成され、さらにそれらの上層に多層配線が形成されている。図1は、このような半導体デバイスにおけるバックエンドプロセスで貫通プラグが形成された状態を示すものである。

#### 【0029】

図1に示すように、半導体基板10上に、複数のダミー拡散層12を分断するようにSTI絶縁膜11が形成され、さらにその上層に配線パターン14やパッド13が導電材料により形成されている。STI絶縁膜11およびダミー拡散層12と、配線パターン14およびパッド13との間は、ストップ膜16および層間絶縁膜19a、19b、…が介在している。

### 【0030】

アクティブエリアに形成されたトランジスタTrの拡散層領域や電極は、コンタクトプラグ17や層間ビアプラグ18により下層配線パターン14aやパッド13、上層の配線パターン14などと電気的に接続されている。なお、このトランジスタTrの拡散層領域や電極、およびダミー拡散層12上には、必要に応じ金属シリサイドが形成され得る。上層および下層の配線パターン14、14a、パッド13は、アルミニウム(A1)、タングステン(W)、チタン(Ti)、銅(Cu)、タンタル(Ta)、あるいはこれらの金属の少なくともいずれかを組成とする化合物(例えばシリサイドなど)を形成材料とすることができます。

### 【0031】

貫通プラグ15は、半導体基板10の表面付近でSTI絶縁膜11に包囲されるように位置しており、半導体基板10、STI絶縁膜11、ストップ膜16、層間絶縁膜19aから19fを縦方向に貫いている。また、貫通プラグ15は、柱状の導電膜15a(材料としては例えばCu)とこれを取り囲む絶縁膜15b(材料としては例えば酸化シリコンや窒化シリコン)とからなっている。実際に導電部材として貫通プラグ15を機能させるためには、この後、半導体基板10を裏面側から切削して導電膜15aの底部を露出させ、上面側については層間絶縁膜19gの一部をエッチング除去して導電膜15aを露出させる。そしてこれらの露出面に必要な電気的接続を行なう。

### 【0032】

図1(b)において、実際の寸法は、例えば、半導体基板10の厚さが数百 $\mu$ m、STI絶縁膜11が形成された位置から最上面までが2 $\mu$ mないし3 $\mu$ m、貫通プラグ15の高さが50 $\mu$ mないし100 $\mu$ mで径(一辺)が20 $\mu$ m程度である。また、図1(a)において、貫通プラグ15を包囲しているSTI絶縁

膜11の水平方向の幅は、最も狭いところで名目 $2 \mu\text{m}$ 程度以上である。この程度あれば貫通プラグ15に形成位置ずれが発生しても十分にダミー拡散層12との接触を防止できる。

#### 【0033】

上記の半導体装置において貫通プラグ15用の穴をエッチング加工するときには、例えばフッ素系のガスを用いたRIE法を用いることができる。フッ素系のガスでは、AlやW、Cu等の金属はエッチングレートが遅い。そこで、この実施形態では、金属の配線パターン14、14aやパッド13が形成されていない場所に、エッチング穴を形成する。これにより、金属のエッチング、絶縁膜のエッチング、Siのエッチングと、各層ごとにエッチング装置、条件を変えなければならぬというデメリットは大きく回避できる。また、このようにすればスループットが落ちるという生産性の問題や形状の制御が困難となる問題の解決に効果がある。

#### 【0034】

図2(a)は、図1に示した半導体装置における、貫通プラグ15を形成する前の状態の例を模式的に示す上面図である。図2(a)において、図1と同一相当の部位には同一符号を付してある。

#### 【0035】

この場合には、図2(a)に示すように、貫通プラグ15を形成しようとする場所150(外形線150aの内側)に、金属配線だけではなくダミー拡散層12のパターンを配置せず、STI絶縁膜11であるフィールド酸化膜の領域のみ配置する。この場合の外形線150aの内側をエッチングして形成した穴の断面の例を、模式的に図2(b)に示す。

#### 【0036】

図2(b)に示すように、エッチングマスクとの選択性やエッチング形状の制御のために側壁に保護膜形成が多くなされる条件でエッチングした場合であっても、穴の形成される場所の材料が一定で、しかもダミー拡散層12に由来するドーパントや金属シリサイドは存在しないので、底面には残渣等の発生がない。したがって、この穴に貫通プラグ15を形成すれば、形状が整った信頼性の高い貫

貫通プラグ 15 を得ることができる。

#### 【0037】

次に、図 1 に示した半導体装置における、貫通プラグ 15 を形成する前の状態の別の例を図 3 を参照して説明する。図 3 は、貫通プラグ 15 を形成する前の状態の別の例を模式的に示す上面図である。図 3 において、図 2 (a) と同一相当の部位には同一符号を付してある。

#### 【0038】

この例では、図 3 に示すように、エッチング穴の位置を、ダミー拡散層 12 が規則的に配置された領域に、エッチング穴の外形線 150a が STI 絶縁膜 11 の領域内に内包されるように選ぶ。一般に、ダミー拡散層 12 は、STI 絶縁膜 11 の形成の際に、一旦堆積させた酸化膜の上面側一部を CMP (chemical mechanical polishing) 法で除去するときの処理面内での研磨均一性を確保するために設けられているものである。そのためこの場合には、すでに説明した図 2 (a) に示すような STI 絶縁膜 11 とダミー拡散層 12 のパターンに比べ、STI 絶縁膜 11 形成の際の面内均一性を向上させることができる。

#### 【0039】

なお、このようにすると、エッチング穴の底部にダミー拡散層 12 と STI 絶縁膜 11 との境界に由来する段差などが形成されて、従来例のように底部に残渣が形成されてしまう可能性も考えられるが、エッチング条件を側壁保護膜形成の少ない条件にすればこの問題は取り除くことができる。

#### 【0040】

この図 3 に示す例では、側壁保護膜形成の少ない条件でエッチングしても、図 9 (b) に示したようなダミー拡散層 12 に沿ったアンダーカットが入るという問題は生じない。これは、エッチング穴の外形線 150a が STI 絶縁膜 11 の領域内に内包されるように選ばれているので、ダミー拡散層 12 がどのような方向からもエッチャントにさらされないからである。よって、この例の場合も、形状の整った貫通プラグ 15 を形成することが可能であり、貫通プラグ 15 による接続の信頼性を向上することができる。

#### 【0041】

次に、図1に示した半導体装置における、貫通プラグ15を形成する前の状態のさらに別の例を図4を参照して説明する。図4は、貫通プラグ15を形成する前の状態のさらに別の例を模式的に示す上面図である。図4において、図2（a）と同一相当の部位には同一符号を付してある。

#### 【0042】

この例では、図4に示すように、エッチング穴の位置を、エッチング穴の外形線150aが、まわりのダミー拡散層12より大きな面積のダミー拡散層12を取り囲むように、かつ、STI絶縁膜11の領域内に内包されるように選ぶ。このようにすれば、STI絶縁膜11による段差が生じたとしてもエッチング穴内の周縁近くにおける一定なものであるため、底部に残渣が形成されにくくなる。よって、この例の場合も、形状の整った貫通プラグ15を形成することが可能であり、貫通プラグによる接続の信頼性を向上することができる。

#### 【0043】

次に、貫通プラグ15を形成する前の状態のさらに別の例を図5を参照して説明する。図5は、貫通プラグ15を形成する前の状態のさらに別の例を模式的に示す上面図である。図5において、図2（a）と同一相当の部位には同一符号を付してある。

#### 【0044】

この例では、図5に示すように、エッチング穴の位置を、エッチング穴の外形線150aが、まわりのダミー拡散層12により大きな面積のダミー拡散層12の領域内に内包されるように選ぶ。この場合には、仮に、側壁保護膜形成の少ない条件でエッチングすると、ダミー拡散層12（大きな面積のダミー拡散層12）へのアンダーカットが入ってしまう。しかし、そのダミー拡散層12はSTI絶縁膜11であるフィールド酸化膜で囲まれているので、この大きなダミー拡散層12とエッチング穴の外形線150aとの位置関係を制御するようすれば、このアンダーカットの量は制御されたものになり不測の形状の乱れとはならない。

#### 【0045】

アンダーカットの量を制御できれば、例えば、エッチング穴の形成後、アンダ

一カット上面に位置する膜をエッチング除去することにより形状の制御は可能である。また、穴の形成される場所の材料が一定なので、S T I 絶縁膜11による段差に起因するエッチング穴底面での残渣の形成は抑えることができる。このような事情は、図6に示すように、ダミー拡散層12の領域を枠状に形成し、この枠状のダミー拡散層12の領域に内包されるようにエッチング穴の外形線150aを選んだ場合も同様である。図6は、貫通プラグ15を形成する前の状態のさらに別の例を模式的に示す上面図であり、図2（a）と同一相当の部位には同一符号を付してある。

#### 【0046】

次に、本発明の別の実施形態に係る半導体装置を図7を参照して説明する。図7は、本発明の他の実施形態に係る半導体装置の構造を模式的に示す図である。図7（a）は上面図、図7（b）は図7（a）のA-A a断面を矢視方向で示す図である。図7においてすでに図1において説明した部位と同一相当の部位には同一符号を付してあり、それら部位同士の関係も同様である。

#### 【0047】

この実施形態では、形成された貫通プラグ15が層間絶縁膜19aから19gの内部で、配線パターン（この例では下層の配線パターン）20にも包囲されているところが、図1に示した実施形態と異なる点である。配線パターン20はダミー配線パターンでありこのパターンを含む層の形成処理が均一化するように設けられているものである。

#### 【0048】

このような配線パターン20に包囲されている貫通プラグ15の形成では、エッチング穴を形成する前の配線パターン20の形状として、図5に示した大きなダミー拡散層12や図6に示した枠状のダミー拡散層12と同様な形状のものを考えることができる。したがって、この配線パターン20をエッチングするため特に特別の条件を要することがあっても、エッチング穴底部に残渣が発生することは効果的に抑制することができる。エッチング穴底部の材料が層ごとにはほぼ揃っているからである。

#### 【0049】

よって、やはり、この例の場合も、形状の整った貫通プラグ15を形成することができあり、貫通プラグによる接続の信頼性を向上することができる。なお、この図7に示す実施形態は、貫通プラグ15が、半導体基板10の表面付近ではSTI絶縁膜11に包囲されている例を示しているが、図5や図6に示したようなダミー拡散層12のパターンを用いることにより、半導体基板10の表面付近でダミー拡散層12に包囲される構造とすることもできる。

### 【0050】

#### 【発明の効果】

以上詳述したように、本発明によれば、生産性高く高信頼性の貫通プラグが形成された半導体装置を得ることができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の一実施形態に係る半導体装置の構造を模式的に示す図。

##### 【図2】

図1に示した半導体装置における、貫通プラグ15を形成する前の状態の例を模式的に示す上面図（図2（a））、および図2（a）中に示す外形線150aの内側をエッチングして形成した穴の断面の例を模式的に示す図（図2（b））。

##### 【図3】

図1に示した半導体装置における、貫通プラグ15を形成する前の状態の別の例を模式的に示す上面図。

##### 【図4】

図1に示した半導体装置における、貫通プラグ15を形成する前の状態のさらに別の例を模式的に示す上面図。

##### 【図5】

貫通プラグ15を形成する前の状態のさらに別の例を模式的に示す上面図。

##### 【図6】

貫通プラグ15を形成する前の状態のさらに別の例を模式的に示す上面図。

##### 【図7】

本発明の他の実施形態に係る半導体装置の構造を模式的に示す図。

【図8】

バックエンドのプロセス中の半導体デバイスに貫通プラグを形成する直前および直後の状態を示す上面図（参考図）。

【図9】

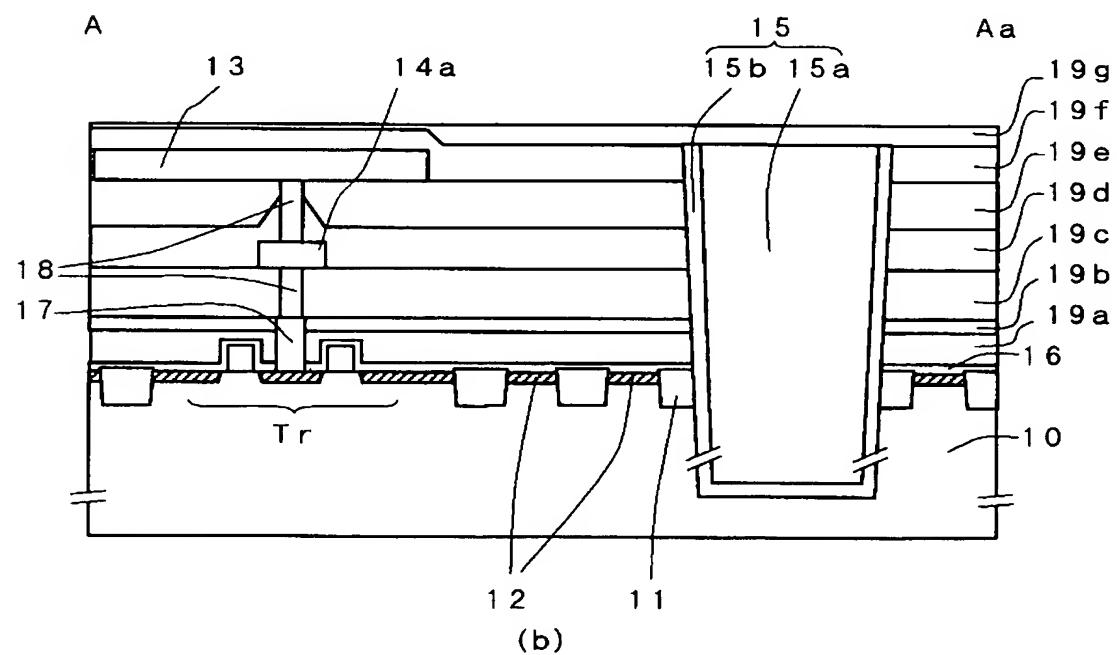
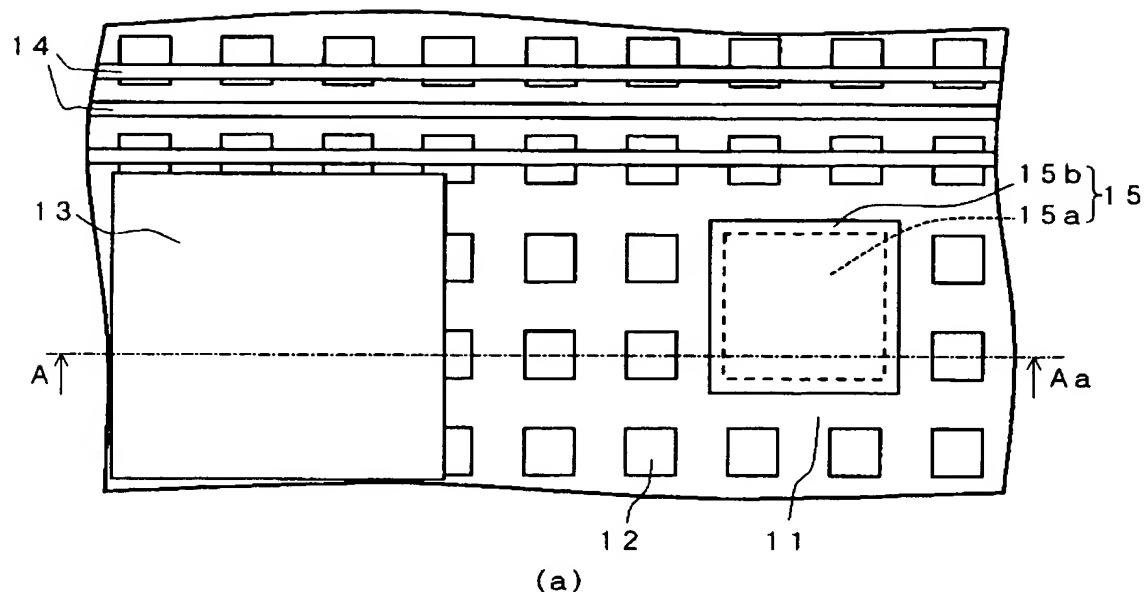
図8（b）中に示した形成穴のX-X a断面の例を矢視方向で示す図（参考図）。

【符号の説明】

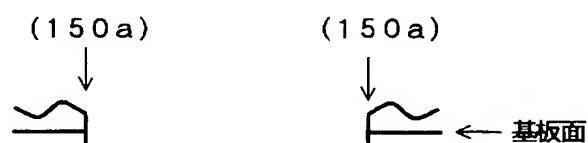
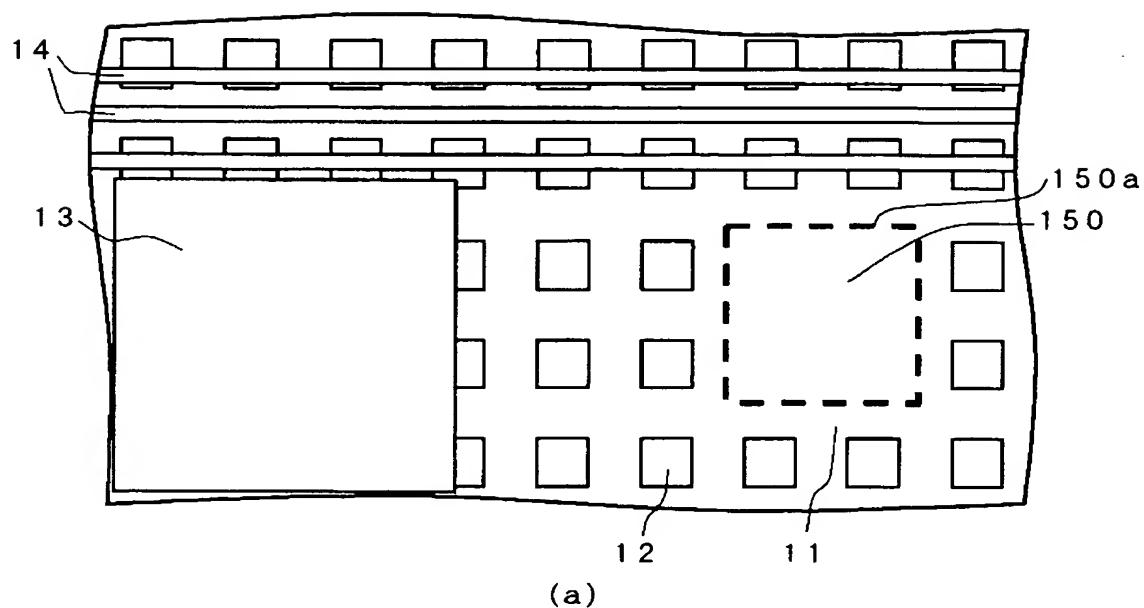
1 0 …半導体基板 1 1 …S T I 絶縁膜 1 2 …ダミー拡散層 1 3 …パッド  
1 4 、 1 4 a …配線パターン 1 5 …貫通プラグ 1 5 a …導電膜 1 5 b …  
絶縁膜 1 6 …ストッパ膜 1 7 …コンタクトプラグ 1 8 …層間ビアプラグ  
1 9 a 、 1 9 b 、 1 9 c 、 1 9 d 、 1 9 e 、 1 9 f 、 1 9 g …層間絶縁膜 2 0  
…ダミー配線パターン 1 5 0 …エッチング穴が形成される場所 1 5 0 a …エ  
ッチング穴の外形線

【書類名】 図面

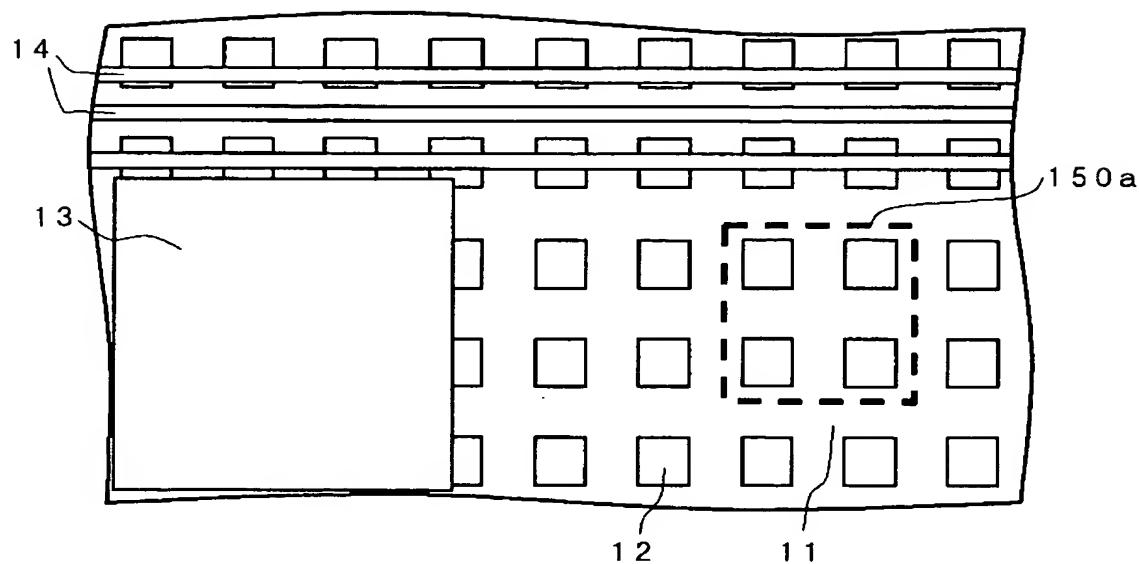
【図 1】



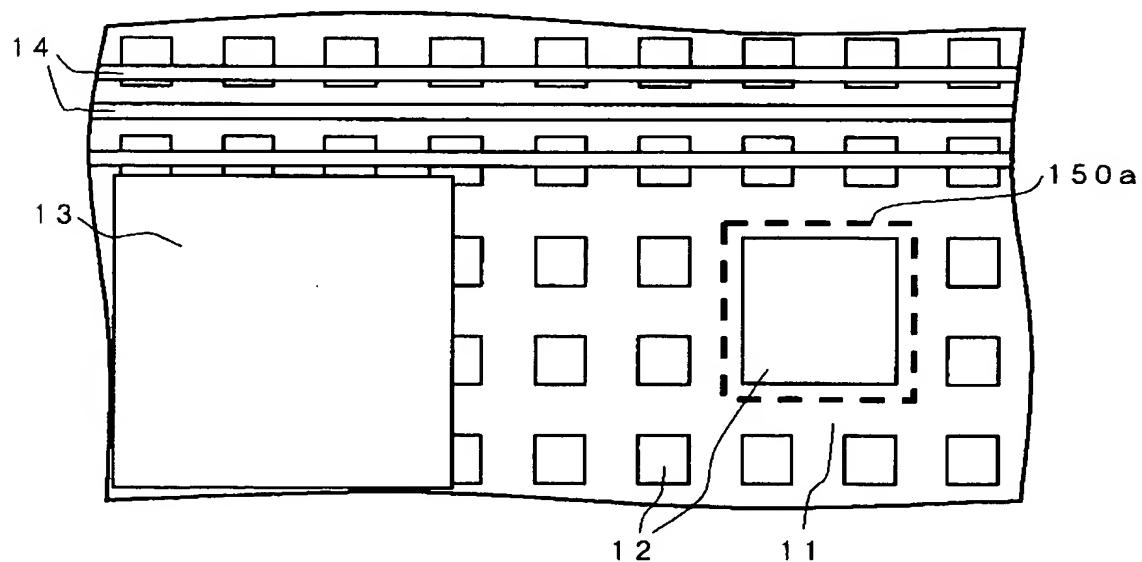
【図2】



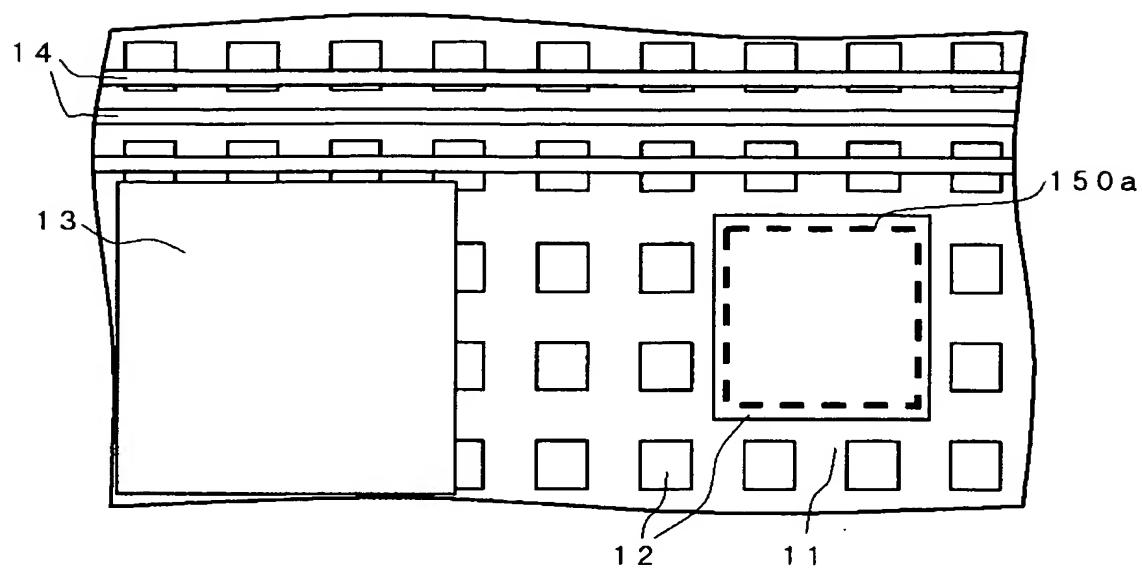
【図3】



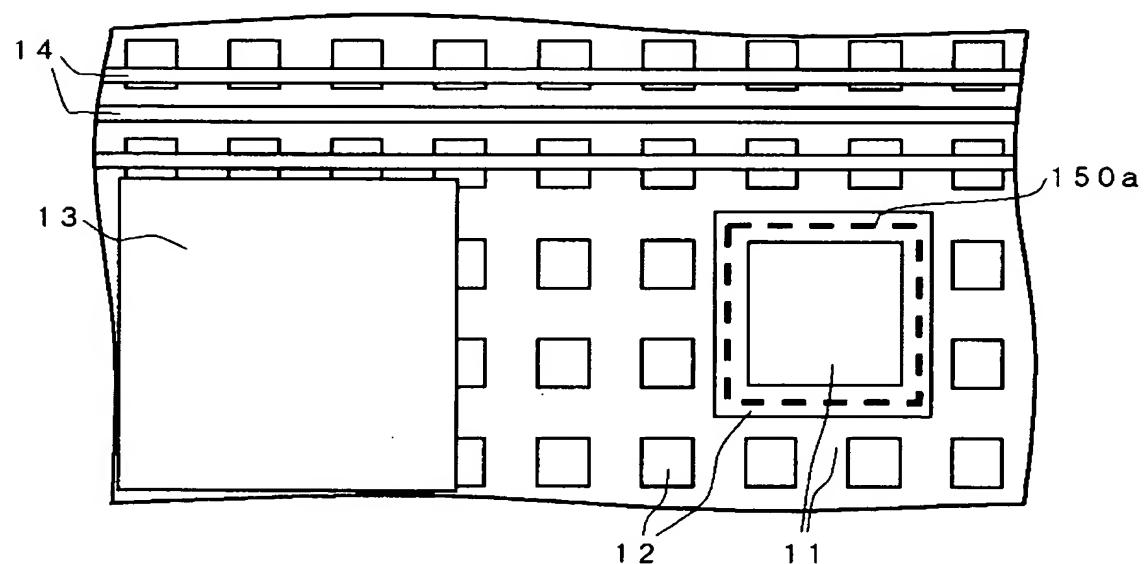
【図4】



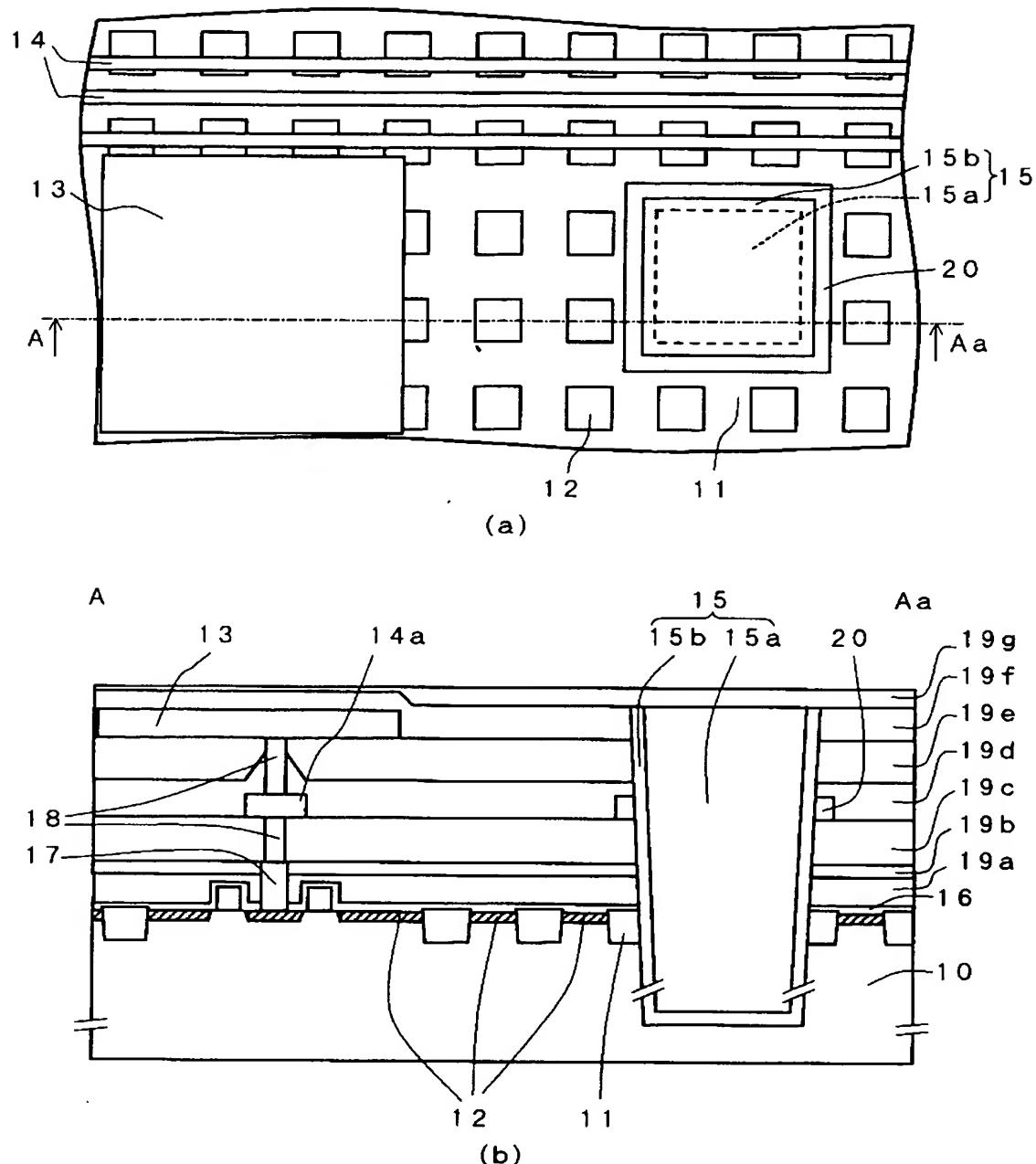
【図 5】



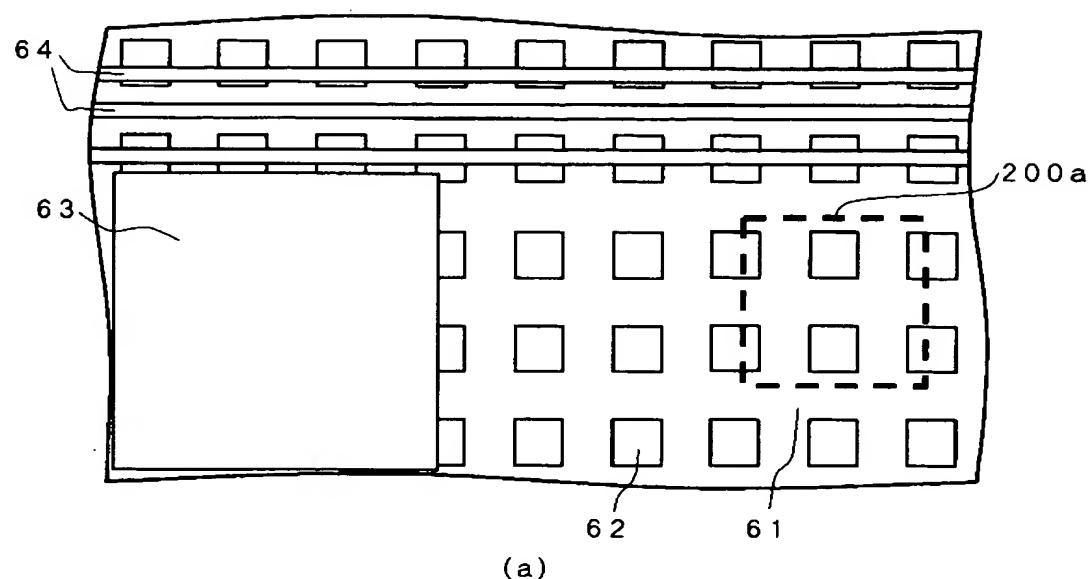
【図 6】



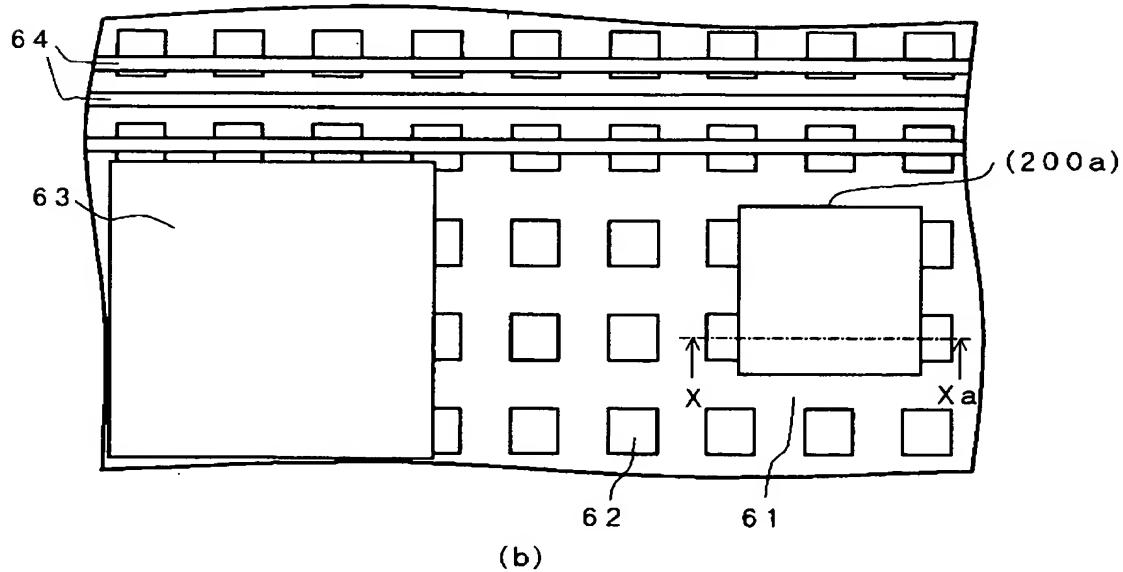
【図 7】



【図8】

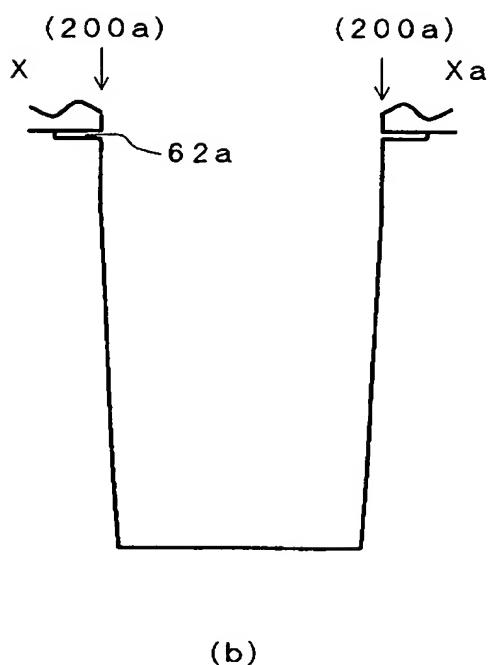
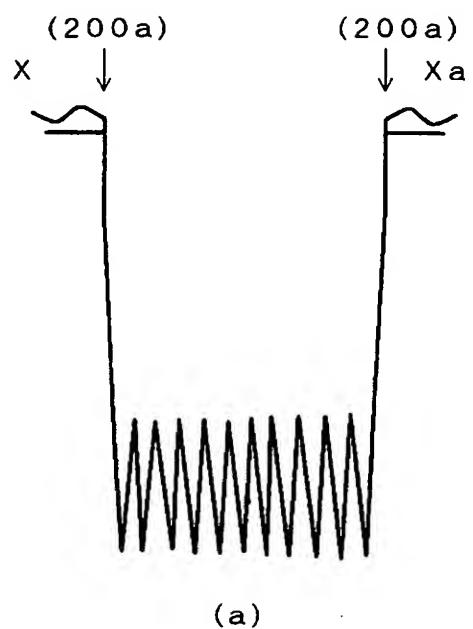


(a)



(b)

【図9】



【書類名】 要約書

【要約】

【課題】 貫通プラグを有する半導体装置において、生産性高く高信頼性の貫通プラグを形成すること。

【解決手段】 半導体基板と、半導体基板上に形成された複数の拡散層パターンと、半導体基板上の複数の拡散層パターン間に形成された絶縁膜と、複数の拡散層パターンには接することなくその一部が絶縁膜に包囲されて絶縁膜および半導体基板を貫通して形成された貫通プラグとを具備する。また、半導体基板と、半導体基板上に形成された複数の拡散層パターンと、半導体基板上の複数の拡散層パターン間に形成された絶縁膜と、絶縁膜には接することなくその一部が拡散層パターンに包囲されて拡散層パターンおよび半導体基板を貫通して形成された貫通プラグとを具備する。

【選択図】 図1

特願 2003-013919

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝